

特開平10-261635

(43) 公開日 平成10年(1998) 9月29日

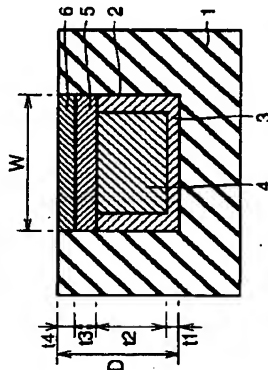
(6) IntCl. ⁴ H01L 21/3205	発明の配号 FI H01L 21/08 K	審査請求 未請求 請求項の数 6 OL (全 8 頁)
(21) 出願番号 特願平9-64108	(71) 出願人 0000063013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号	(71) 出願人 0000063013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日 平成9年(1997) 3月18日	(72) 発明者 深田 智生 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内	(72) 発明者 深田 智生 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
	(72) 発明者 坂谷川 万希子 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内	(72) 発明者 坂谷川 万希子 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
	(74) 代理人 弁理士 森見 久郎 (外 3 名)	(74) 代理人 弁理士 森見 久郎 (外 3 名)

(54) 発明の名称 半導体装置

(57) 【要約】

【課題】 絶縁層に形成されたトレンチ内に埋込まれるCu配線の上に形成されるキャップ層の剥離を抑制する。

【解決手段】 絶縁層1に設けられたトレンチ2内に下地層3を介在してCu配線4を形成し、このCu配線4の上に密着層5を形成する。この密着層5上にキャップ層6を形成する。



1: 絶縁層 2: トレンチ 3: 下地層
4: Cu配線層 5: 密着層 6: キャップ層

【特許請求の範囲】

【請求項1】 トレンチが形成された絶縁層と、前記トレンチ内に下地層を介在して埋込まれCuを含む材質により構成される配線層と、

前記配線層を覆うように前記トレンチ内に形成された密着層と、

前記密着層を覆うように前記トレンチ内に形成されたキャップ層と、を備えた、半導体装置。

【請求項2】 前記密着層は、前記配線層との密着強度が前記配線層と前記キャップ層との密着強度よりも大きく、かつ酸化物の成長速度が前記配線層におけるそれよりも小さい材質により構成される、請求項1に記載の半導体装置。

【請求項3】 前記キャップ層と前記配線層との間に、前記密着層と前記配線層とを反応させることにより反応層を形成した、請求項1または2に記載の半導体装置。

【請求項4】 前記配線層上に位置する前記密着層がすべて前記反応層に変換された、請求項3に記載の半導体装置。

【請求項5】 トレンチが形成された絶縁層と、前記トレンチ内に下地層を介在して埋込まれCuを含む材質により構成される配線層とを備え、前記トレンチの側壁上端コーナ部には、該コーナ部を丸める処理が施され、

前記配線層を覆うように前記トレンチ内にキャップ層が形成され、

前記キャップ層の周縁部は、前記コーナ部を丸める処理が施されることにより丸められた前記トレンチの側壁上端コーナ部に延在する、半導体装置。

【請求項6】 前記トレンチの側壁上端コーナ部は、2〜20nmの曲率半径を有する曲面により構成される、請求項5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置に関し、特に、絶縁層に形成されたトレンチ内に埋込まれ、Cuを含む材質により構成される配線層を有する半導体装置に関するものである。

【0002】

【従来の技術】 半導体装置の高集積化および高速化に対する要求はますます高まっております。このような高集積化および高速化に対応するため、配線材料についてもさまざまな検討がなされている。特に、配線幅が0.15μm程度以降の世代では、配線材料として使用可能なものが極めて限定されてくるものと考えられる。このような材料の中で、近年、Cuを配線材料として用いることが提案されている。

【0003】 図14には、Cuを配線材料として使用する場合の配線構造の一例が示されている。この図14に示される配線構造は、いわゆる「ダマシン方式」と呼ば

れる方式を用いた配線プロセスにより形成されたものである。ダマシン方式については、たとえば、月刊Semiconductor World 1995. 12「ダマシン方式を用いた配線プロセス」等に記載されている。

【0004】 図14に示されるように、絶縁層1にはトレンチ2が形成されており、このトレンチ2内に下地層3を介在してCu配線4が形成される。このCu配線4の上面を覆うようにキャップ層6が形成されている。このキャップ層6は、たとえTiW等により構成され、Cu配線4の上面の酸化を抑制する機能を有する。このようなキャップ層6を有することにより、Cu配線4の上面の酸化が効果的に抑制され、Cu配線4の抵抗上昇等の特性劣化を効果的に抑制することが可能となる。

【0005】 このようにキャップ層6を形成することについては、たとえば、特許技術TECHNICAL REPORT OF IEO. SDM96-169 (1996-12)「TiW工程〜第4工程を示す断面図である。」でキャップしたダマシンCu配線」等に記載されている。

【0006】 次に、図15〜図18を用いて、図14に示される配線構造の製造方法について説明する。図15〜図18は、図14に示される配線構造の製造工程の第1工程〜第4工程を示す断面図である。

【0007】 図15を参照して、写真製版技術およびエッチング技術等を用いて、絶縁層1内にトレンチ2を形成する。次に、図16に示されるように、CVD (Chemical Vapor Deposition) 法等を用いてTiN層3aを形成し、このTiN層3a上にスパッタリング法などを用いてCu層4aを形成する。

【0008】 次に、上記のCu層4aとTiN層3aとにCMP (Chemical Mechanical Polishing) 処理を施す。それにより、絶縁層1の表面を露出させるとともにトレンチ2内のみCu層を残す。その結果、図17に示されるように、トレンチ2内に下地層3とCu配線4とがそれぞれ形成される。

【0009】 次に、図18に示されるように、スパッタリング法などを用いて、TiW層6aを形成する。そして、このTiW層6aにCMP処理を施す。以上の工程を経て、図14に示される配線構造が得られることとなる。

【0010】

【発明が解決しようとする課題】 上記のようにキャップ層6aを形成することによりCu配線4の上面の酸化を抑制することが可能となるが、本発明の発明者が図14に示される配線構造を試作したところ、上記のキャップ層6とCu配線4との界面で剥離が生じる場合があることを確認した。この剥離の1つの要因として、Cu配線4とキャップ層6との密着強度が弱いということが考えられる。また、本発明の発明者は、上記の剥離が、キャップ層6の周縁部において生じやすいことをも確認し

た。このことより、キャップ層6の側壁部において何らかの応力が集中し、この応力集中も上記の剥離の一因となり得るものと考えられる。

【0011】キャップ層6とCu配線層4との界面において上記のような剥離が生じることに伴い、Cu配線層4の上面が酸化され、Cu配線層4の底面と異等の特性劣化が懸念される。そして、このようなCu配線層4の特性劣化により、歩留りの低下や配線寿命の低下を招くこととなる。

【0012】この発明は、上記のような問題を解決するためになされたものである。この発明の目的は、Cu配線層4の表面からの剥離を抑制することにある。

【0013】
【課題を解決するための手段】この発明に係る半導体装置は、1つの局面では、絶縁層と、配線層と、密着層と、キャップ層とを備える。絶縁層にはトレンチが形成され、このトレンチ内に下地層を介在して配線層が埋込まれる。この配線層は、Cuを含む材質により形成される。密着層は、配線層を覆うようにトレンチ内に形成される。キャップ層は、密着層を覆うようにトレンチ内に形成される。ここで、上記の下地層は、絶縁層の中への配線層材料の拡散防止機能および配線層と絶縁層との密着層としての機能を有する。また、密着層は、配線層とキャップ層との双方との密着強度が大きく、両者を強固に接続する機能を有する。また、キャップ層は、酸化特性を有し、配線層が酸化されるのを抑制する機能を有する。

【0014】なお、上記の密着層は、好ましくは、キャップ層との密着強度が配線層とキャップ層との密着強度よりも大きく、かつ酸化物の成長速度が配線層におけるそれよりも小さい材質により形成される。

【0015】また、上記のキャップ層と配線層との間に、密着層と配線層とを反応させることにより反応層を形成することが好ましい。

【0016】また、上記のように反応層を形成する場合、配線層上に位置する密着層をすべり反応層に変換してもよい。

【0017】この発明に係る半導体装置は、他の局面では、絶縁層と、配線層と、キャップ層とを備える。絶縁層にはトレンチが形成され、このトレンチ内に下地層を介在して配線層が埋込まれる。この配線層は、Cuを含む材質により形成される。キャップ層は、配線層を覆うようにトレンチ内に形成される。そして、トレンチの側壁上部コーナ部には、このコーナ部に沿った処理が施される。たとえば、上記の絶縁層がシリコン酸化膜により構成される場合には、トレンチが形成された後の絶縁層に、フッ酸系を用いたライトエッチング処理を施す。このような処理が施されることによりトレンチ側壁上部コーナ部は丸められ、この丸められたトレンチの側壁上部コーナ部上に、上記のキャップ層の側壁部が連在する。

り、キャップ層6の剥離を効果的に抑制することが可能となるものと考えられる。本願の発明者は、このことを立証すべく、密着層5を形成した場合にキャップ層6の剥離が生ずるか否かの評価を行った。その評価結果が表1に示されている。なお、表1では、密着層5としてTi層を形成した場合が示されている。【0027】

構造	CMP時のTi層量に対するストレス	
	ストレス大(密着層1:大、約40nm/min.)	ストレス小(密着層1:小、約10nm/min.)
Ti層/Cu/Ti層	配線エッジ部から剥離	剥離無し
Ti層/Cu/Ti層/Ti層	剥離無し	剥離無し
Ti層/Cu/Ti層/Ti層(絶縁層有り)	剥離無し	剥離無し

【0028】表1に示されるように、密着層5として機能するTi層を形成した場合には、CMP後のキャップ層(Ti層)に対するストレスの大小にかかわらず剥離が生じないのわかる。このことより、密着層5を形成することが可能となるものと考えられる。なお、密着層5としてTi層以外の上記材質を用いた場合にも同様の結果が得られるものと推察される。また、表1に示されるように、密着層5を形成した後に熱処理を施したもののについても記載されているが、これについては後述する。

【0029】次に、図2～図6を用いて、図1に示される配線構造の製造方法について説明する。図2～図6は、図1に示される配線構造の製造工程の第1工程～第5工程を示す断面図である。

【0030】図2を参照して、たとえば写真製版技術とドライエッチング技術を用いて、トレンチ2を形成する。このトレンチ2の寸法については上述したとおりである。

【0031】次に、たとえばCVD法等を用いて、トレンチ2内から絶縁層1上に延在するように10nm程度の厚みにTi層3aを形成する。このTi層3a上に、CVD法あるいはスパッタリング法を用いて、40nm程度の厚みのCu層4aを形成する。

【0032】次に、上記のCu層4aとTi層3aとにCMP処理を施す。このCMP処理は、たとえばアルミナペースのスラリーを用いて行なってもよい。そして、絶縁層1の主表面が露出するまでCMP処理を行なう。その結果、図4に示されるように、Cu配線層4と下地層3とが形成されるとともに、これらの上にリセス部7が形成される。このリセス部7の深さD1は、後の工程で形成される密着層5とキャップ層6との厚みの和となるように設定され、この場合であれば、たとえば80nm程度である。なお、リセス部7の深さD1は、50～80nm程度と比較的小さい値に設定されることが好ましい。それにより、Cu配線層4の断面積の減少が抑制でき、配線抵抗の向上を抑制できる。

【0033】次に、図5に示されるように、たとえばスパッタリング法等を用いて、200nm程度の厚みにTi層5aを形成する。そして、このTi層5aにCMP処理を施す。

表1に示されている。なお、表1では、密着層5としてTi層を形成した場合が示されている。【0027】

構造	CMP時のTi層量に対するストレス	
	ストレス大(密着層1:大、約40nm/min.)	ストレス小(密着層1:小、約10nm/min.)
Ti層/Cu/Ti層	配線エッジ部から剥離	剥離無し
Ti層/Cu/Ti層/Ti層	剥離無し	剥離無し
Ti層/Cu/Ti層/Ti層(絶縁層有り)	剥離無し	剥離無し

【0034】それにより、図6に示されるように、トレンチ2内に埋込まれるように密着層5を形成することが可能となる。その後、さらにスパッタリング法等を用いて、Ti層6aを200nm程度の厚みに形成する。そして、このTi層6aにCMP処理を施す。この場合にも、アルミナペースのスラリーを用いたCMP処理を行なってもよい。以上の工程を経て、図1に示される配線構造が得られることとなる。

【0035】なお、上記のTi層5aとTi層6aとを順次形成し、これらの間隙構造にCMP処理を施すものであってもよい。

【0036】次に、図7を用いて、本実施の形態1における配線構造の適用例について説明する。図7は、上記の実施の形態1における配線構造が適用された半導体装置の一例を示す断面図である。具体的には、上記の実施の形態1の配線構造が適用されたDRAM (Dynamic Random Access Memory) の一部が図7に示されている。

【0037】図7を参照して、シリコン基板10の主表面にはチャネル領域を規定するように不純物拡散領域14a、14bが形成される。この不純物拡散領域14a、14bの両側にはトレンチ11a、11bが形成される。トレンチ11a、11b内には絶縁層12a、12bを介在してポリシリコン層13a、13bがそれぞれ形成される。

【0038】上記のチャネル領域上にはゲート絶縁層15を介在してゲート電極16が形成される。このゲート電極16を覆うようにシリコン基板10の主表面上に、シリコン酸化物などからなる絶縁層18aが形成される。この絶縁層18a上には、不純物拡散領域14a、14bに到達するようにコンタクトホール11c、11dが形成される。コンタクトホール11c、11d内にはWなどからなるプラグ電極17a、17bが形成される。

【0039】絶縁層18aを覆うように絶縁層18bが形成される。この絶縁層18bにはトレンチ23が形成され、このトレンチ23内にはTi層24が形成される。この下地層19上にはCu配線層20が形成され、このCu配線層20上には密着層21が形成される。そして、この密着層21には、Ti層21からなるキャップ層22が形成される。キ

ヤップ層22を覆うように層間絶縁層18b上に層間絶縁層18cが形成される。なお、この層間絶縁層18c内にもCu配線層が形成されてもよいが、その図示と説明は省略する。

【0040】(実施の形態2) 次に、図8と図9を用いて、この発明の実施の形態2について説明する。図8は、この発明の実施の形態2における配線構造を示す断面図である。図9は、図8に示される配線構造の変形例を示す断面図である。

【0041】図8を参照して、本実施の形態2では、密着層5とCu配線層4との間に反応層8が形成されている。この反応層8とは、Cu配線層4と密着層5とを構成する元素の相互拡散により形成された層であり、このような反応層8を形成することにより、上記の実施の形態1の場合よりさらに密着層5とCu配線層4との接合強度を高めることが可能となる。その結果、ヤップ層6の剥離を上記の実施の形態1の場合よりさらに効果的に抑制することが可能となる。

【0042】上記の反応層8の形成方法としては、密着層5がたとえばTiにより構成される場合には、200℃〜400℃程度の温度で、真空あるいは不活性ガス雰囲気内での30分程度の熱処理を施すことにより形成可能である。

【0043】次に、図9を用いて、図8に示される配線構造の変形例について説明する。図9を参照して、本変形例では、密着層5を形成した後に施される上記の熱処理により、Cu配線層4上に位置する密着層5がすべて反応層8に変換されている。この場合にも、上記の場合と同様に、実施の形態1の場合よりさらに効果的にヤップ層6の剥離を抑制することが可能となる。なお、本変形例では、Cu配線層4上に位置する密着層5をすべて反応層8に変換する必要があるため、密着層5の厚みに応じた適切な熱処理条件が選択される。

【0044】(実施の形態3) 次に、図10〜図13を用いて、この発明の実施の形態3とその変形例とについて説明する。図10は、この発明の実施の形態3における配線構造を示す断面図である。

【0045】図10を参照して、本実施の形態3では、トレレンチ2の側壁上部コーナ部2aが形成され、このように丸められたトレレンチ2の側壁上部コーナ部2a上に延在するようにヤップ層6が形成されている。従来例の問題点として既に指摘したように、ヤップ層6の周縁部において剥離が生じやすいという観察結果が得られており、このことからヤップ層6の周縁部において何らかの応力集中が生じやすいのではないかと推察される。

【0046】そこで、本願の発明者は、ヤップ層6の周縁部での応力集中を緩和すべく、図10に示されるように、トレレンチ2の側壁上部コーナ部2aを丸め、この上にヤップ層6の周縁部を延在させるようにした。そ

れにより、ヤップ層6の周縁部と絶縁層1との接合強度を従来よりも増大させることができ、それにより応力集中を緩和することが可能となると考えられる。その結果、従来例で問題となっていたヤップ層6の剥離を効果的に抑制することが可能となると考えられる。

【0047】次に、図11〜図12を用いて、本実施の形態3における配線構造の製造方法について説明する。図11〜図12は、本実施の形態3における配線構造の製造工程の第1工程〜第2工程を示す断面図である。

【0048】図11(a)を参照して、上記の実施の形態1の場合と同様の工程を経てトレレンチ2を形成した後、トレレンチ2の側壁上部コーナ部2aを丸める処理を施す。たとえば、絶縁層1がシリコン酸化膜の場合には、フッ酸系を用いたライエッチングを行なう。それにより、トレレンチ2の側壁上部コーナ部2aがエッジ効果により丸められる。

【0049】図11(b)には、トレレンチ2の側壁上部コーナ部2aの拡大図が示されているが、側壁上部コーナ部2aは、所定の曲率半径 r を有する曲面により構成されること好ましい。そして、この曲率半径 r は、2〜20nm程度であることが好ましい。それは、曲率半径 r が2nmより小さい場合には実現が極めて困難となり、曲率半径 r が20nmを超えた場合には隣接する配線間の間隔が大きくなり微細化に支障をきたすと考えられるのである。このことより、曲率半径 r が2〜20nmの範囲では実現可能であり、微細化に際してもほぼ問題とならないと考えられる。

【0050】なお、図11(b)には、一定の曲率半径 r を有する曲面により上記コーナ部2aが構成された場合について示したが、異なる曲率半径 r を有する曲面を連続したものであってもよい。また、微視的にみれば曲面により構成されているとはいえず、全体的にみて曲面として認識できるものも上記の「曲面」の概念に含まれる。

【0051】次に、図12を参照して、上記の実施の形態1の場合と同様の方法でCu配線層4と下地層3とを形成し、これらの上に、スパッタリング法を用いて、200nm程度の厚みのTiW層6aを形成する。そして、上記の実施の形態1の場合と同様に、TiW層6aにCMP処理を施す。それにより、図10に示されるように、トレレンチ2内に、トレレンチ2の側壁上部コーナ部2a上に延在するようにヤップ層6を形成することが可能となる。

【0052】次に、図13を用いて、本実施の形態3の変形例について説明する。図13に示されるように、本変形例では、ヤップ層6とCu配線層4との間に密着層5が形成されている。それにより、上記の実施の形態1の場合よりさらに密着層5とCu配線層4との接合強度を高めることが可能となると考えられる。なお、本変形例においても、上記の実施の形態2の場合のような反応層8を形成

してもよい。

【0053】以上のように、この発明の実施の形態3について説明を行なったが、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0054】

【発明の効果】以上説明したように、この発明に係る半導体装置の1つの局面では、配線層上に密着層が形成され、この密着層上にヤップ層が形成される。密着層としては、ヤップ層および配線層との密着強度が大きい材質が選択されるので、密着層の存在によりヤップ層の剥離を効果的に抑制することが可能となる。それにより、ヤップ層の剥離に起因して配線層の上面が酸化されることを効果的に抑制することが可能となり、配線欠陥の発生を効果的に抑制することが可能となる。その結果、従来よりも歩留りを向上させることが可能となる。【0055】なお、上記の密着層が、該密着層と配線層との密着強度が配線層とヤップ層との密着強度よりも大きく、かつ酸化物の成長速度が配線層におけるそれよりも小さい材質により構成された場合には、ヤップ層の剥離を効果的に抑制できるばかりでなく、かかる密着層の存在により配線層の上面が酸化されることを抑制することが可能となる。

【0056】また、ヤップ層と配線層との間に、密着層と配線層とを反応させることによる反応層を形成した場合に、この反応層が配線層の材料と密着層の材料との相互拡散により形成されることから、上記の場合よりもさらに効果的にヤップ層の剥離を抑制することが可能となる。

【0057】また、上記の密着層はすべて反応層に変換されてもよく、この場合にも、密着層と配線層との間に反応層が形成された場合と同様に、効果的にヤップ層の剥離を抑制することが可能となる。

【0058】この発明に係る半導体装置の他の局面では、絶縁層に形成されたトレレンチの側壁上部コーナ部を丸めている。そして、このように丸められた側壁上部コーナ部にヤップ層を延在させている。それにより、ヤップ層の周縁部と絶縁層との接合強度を、従来よりも増大させることが可能となる。それにより、従来例において懸念されていたヤップ層の周縁部における応力集中を緩和でき、従来例よりもヤップ層の剥離を抑制することが可能となる。

【0059】なお、上記の側壁上部コーナ部は2〜20nm程度の曲率半径を有する曲面により構成されること好ましく、曲率半径をこのような範囲内とすることにより、容易に実現可能でありかつ半導体装置の微細化に

際しても支障をきたさないという効果が得られる。

【図面の簡単な説明】
【図1】 この発明の実施の形態1における半導体装置の配線構造を示す断面図である。

【図2】 図1に示される配線構造の製造工程の第1工程を示す断面図である。

【図3】 図1に示される配線構造の製造工程の第2工程を示す断面図である。

【図4】 図1に示される配線構造の製造工程の第3工程を示す断面図である。

【図5】 図1に示される配線構造の製造工程の第4工程を示す断面図である。

【図6】 図1に示される配線構造の製造工程の第5工程を示す断面図である。

【図7】 この発明の実施の形態1における配線構造が適用された半導体装置(DRAM)の部分断面図である。

【図8】 この発明の実施の形態2における半導体装置の配線構造を示す断面図である。

【図9】 図8に示される配線構造の変形例を示す断面図である。

【図10】 この発明の実施の形態3における半導体装置の配線構造を示す断面図である。

【図11】 (a)は図10に示される配線構造の製造工程の第1工程を示す断面図である。(b)は(a)におけるトレレンチの側壁上部コーナ部を拡大した図である。

【図12】 図10に示される配線構造の製造工程の第2工程を示す断面図である。

【図13】 図10に示される配線構造の変形例を示す断面図である。

【図14】 従来の半導体装置における配線構造の一例を示す断面図である。

【図15】 図14に示される配線構造の製造工程の第1工程を示す断面図である。

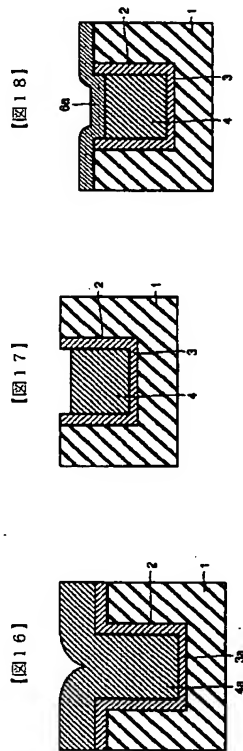
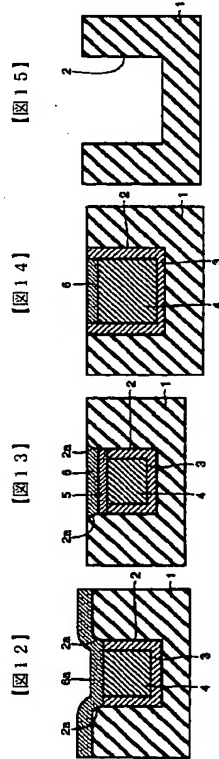
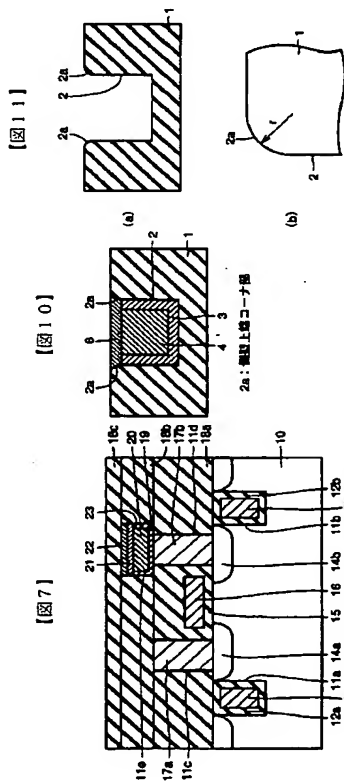
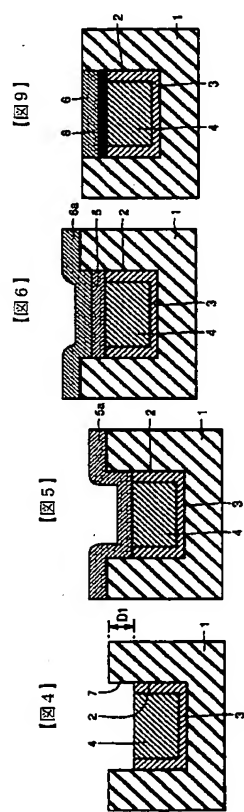
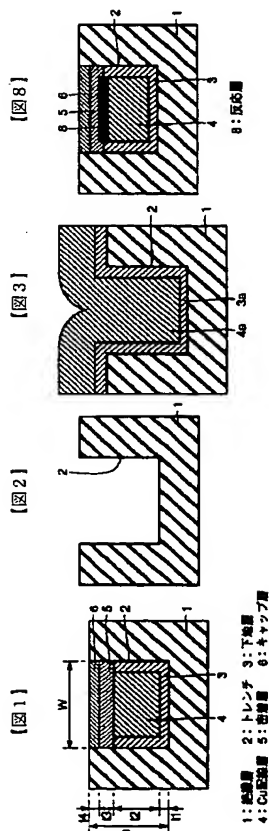
【図16】 図14に示される配線構造の製造工程の第2工程を示す断面図である。

【図17】 図14に示される配線構造の製造工程の第3工程を示す断面図である。

【図18】 図14に示される配線構造の製造工程の第4工程を示す断面図である。

【符号の説明】

1, 12a, 12b 絶縁層, 2, 11a, 11b, 2
3 トレンチ, 2a 側壁上部コーナ部, 3, 19 下地層, 3a TiN層, 4, 20 Cu配線層, 4a Cu層, 5, 21 密着層, 5a Ti層, 6, 22 ヤップ層, 6a TiW層, 7 リセス部, 8 反応層。



フロントページの続き

(72)発明者 豊田 吉彦
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内